



Universidad
Carlos III de Madrid



Departamento
Tecnología
Electrónica

Fundamentos de Ingeniería Electrónica

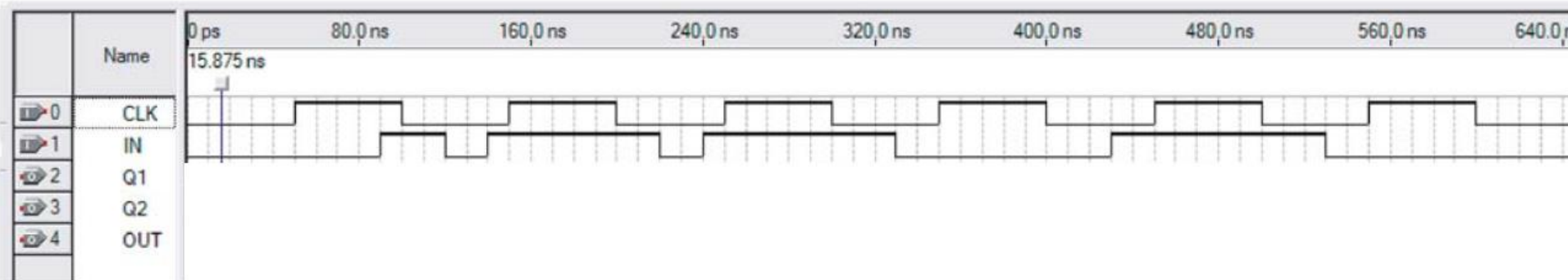
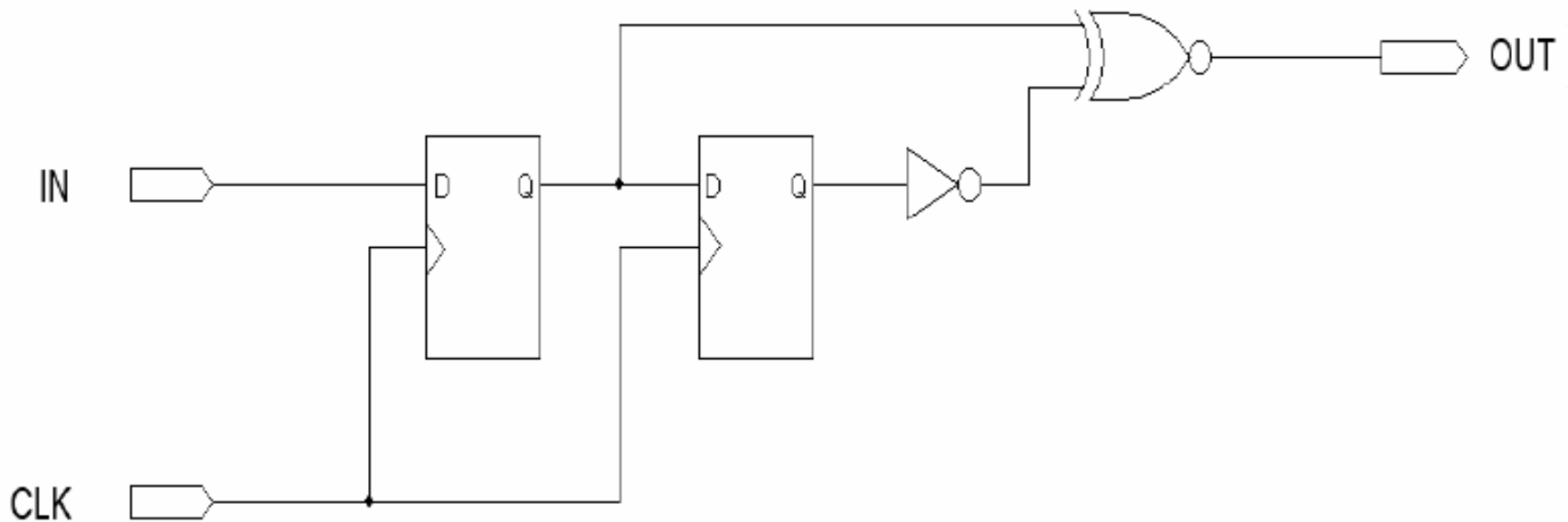
Grados en Ingeniería en Electrónica Industrial y Automática, Ingeniería en Tecnologías Industriales, Ingeniería Mecánica, Ingeniería Eléctrica e Ingeniería de la Energía

Sesiones 27
Problemas de repaso

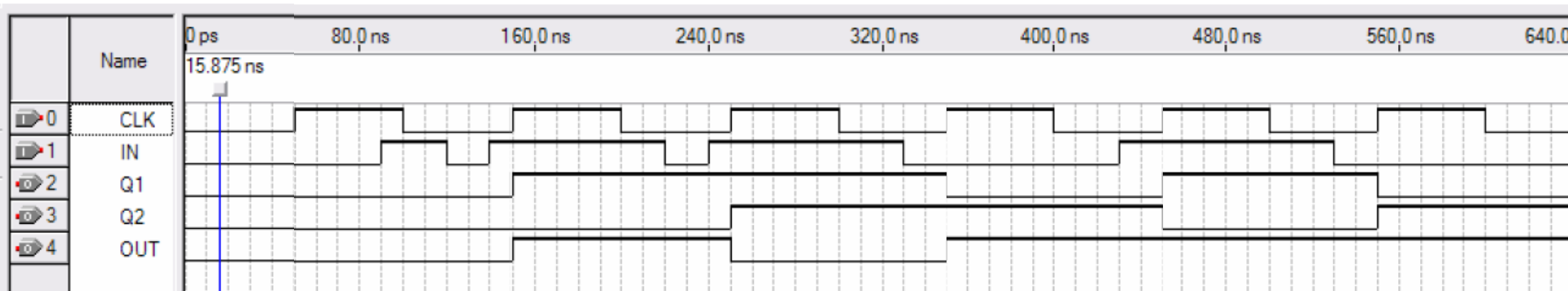
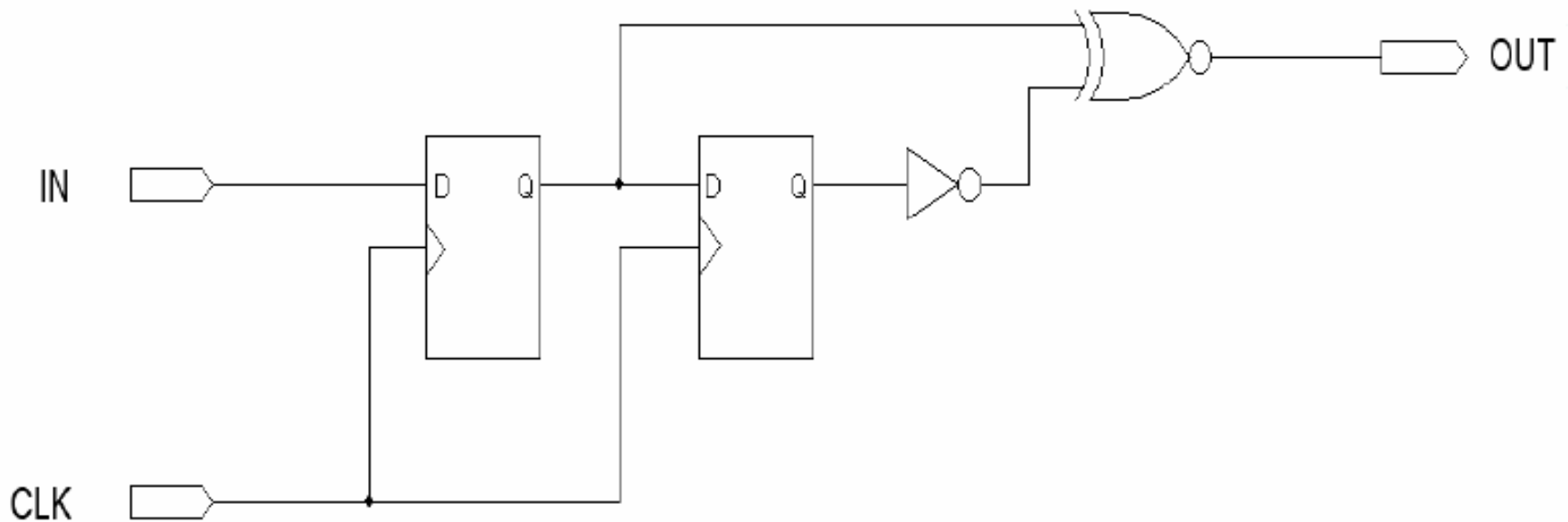
Sesión 27-28. Repasando con problemas

- A. Dos problemas de cronogramas
- B. Dos problemas de memorias
- C. Dos problemas de conversores A/D y D/A

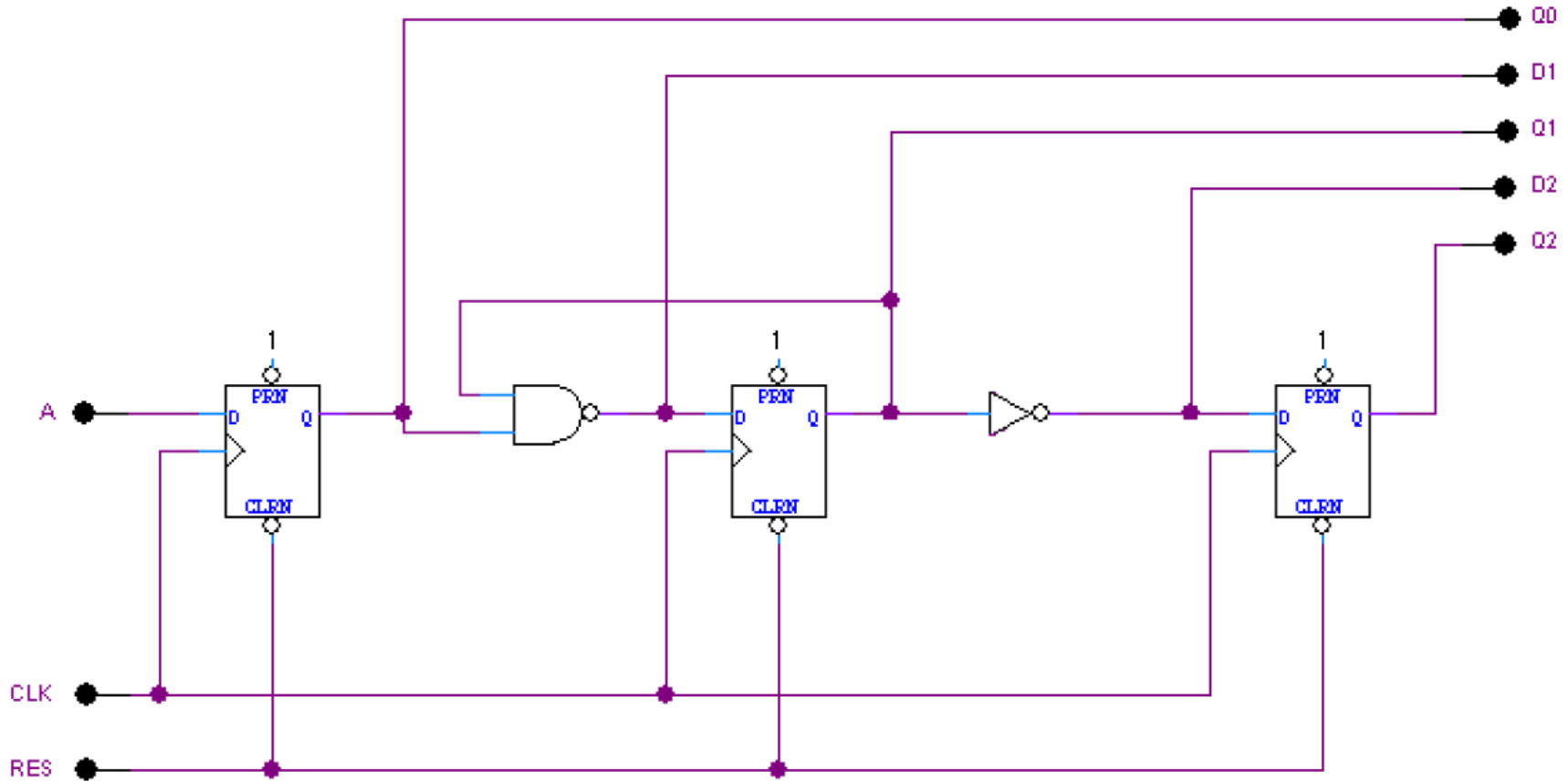
Cronograma 1



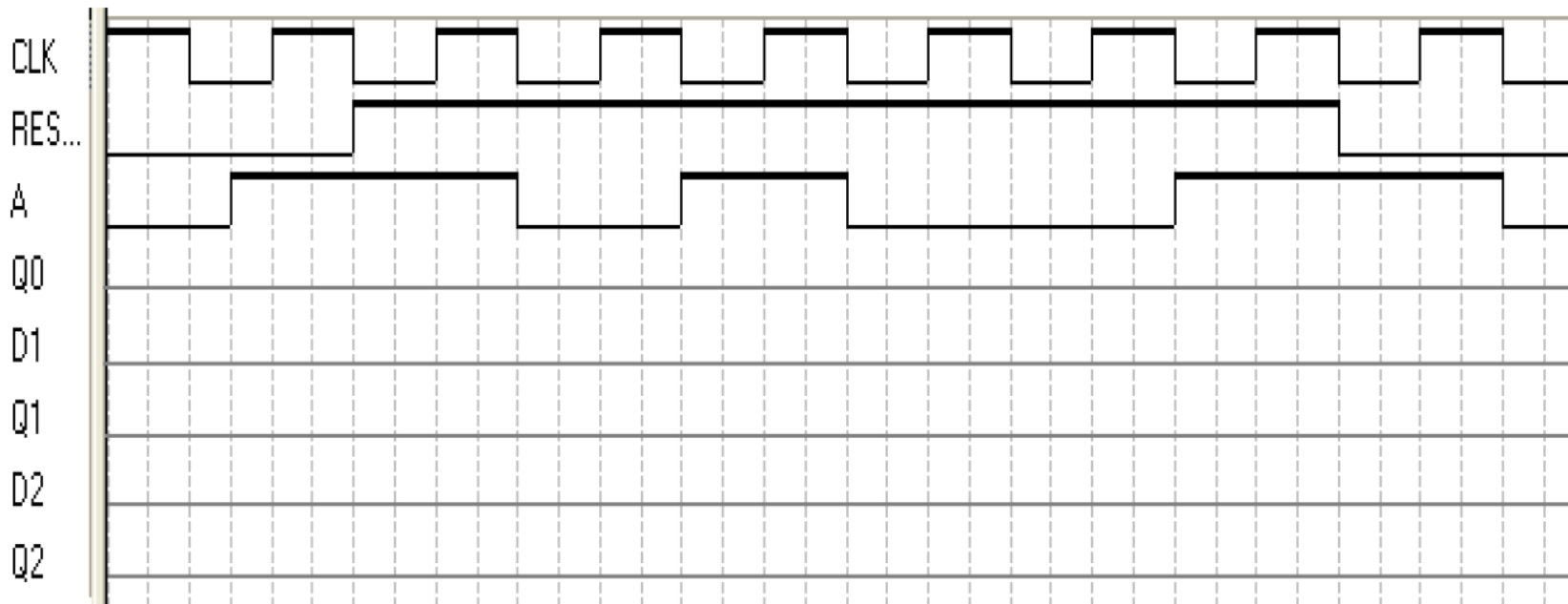
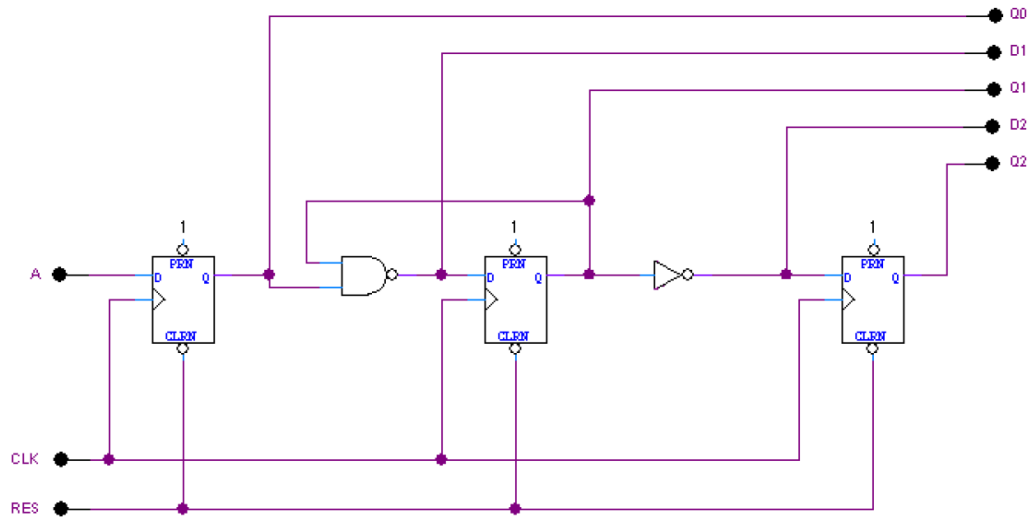
Cronograma 1



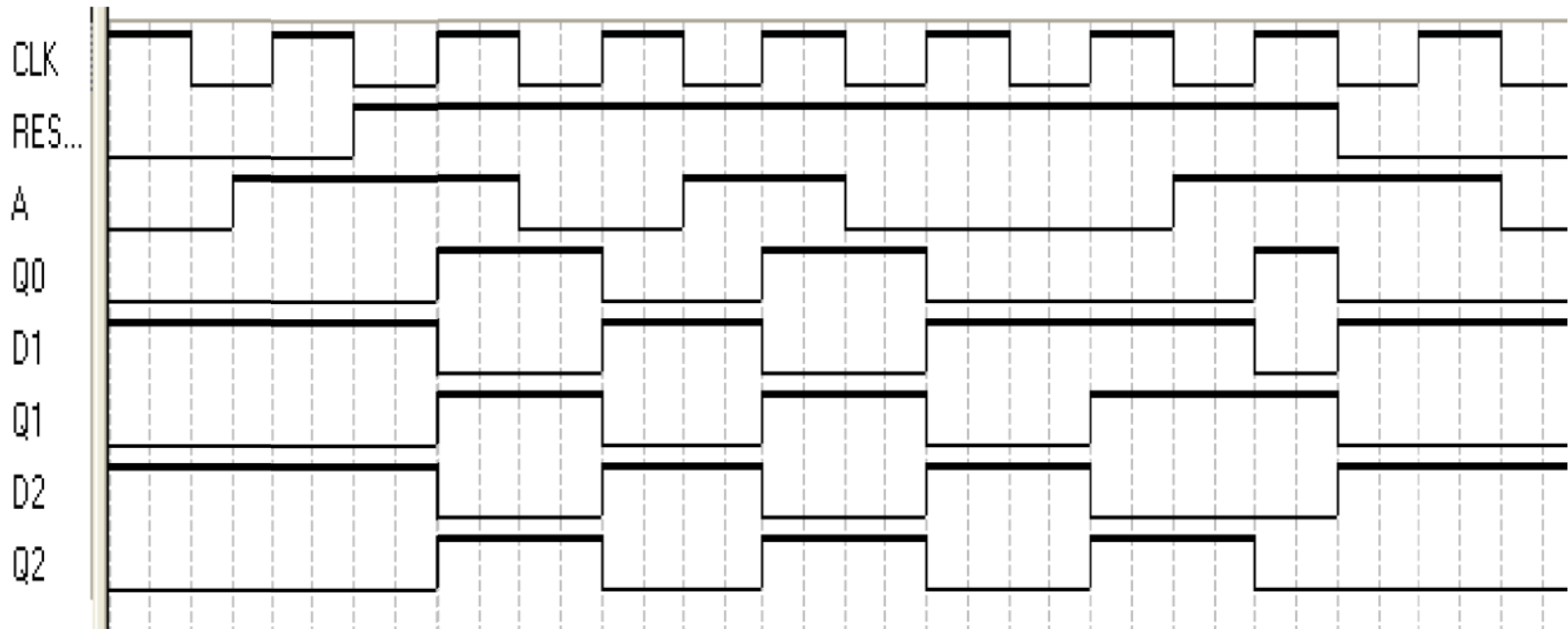
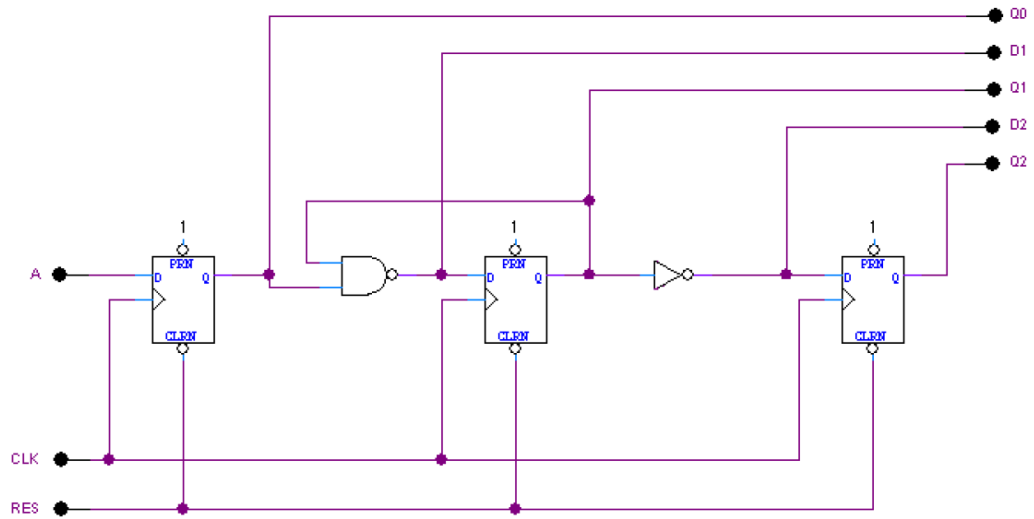
Cronograma 2



Cronograma 2



Cronograma 2



Memoria 1

Problema 4 (2,5 puntos)

Se desea diseñar un sistema de memoria con un **tamaño total de 16k X 16**. El sistema se organizará de la siguiente forma:

- Las primeras direcciones de memoria (comenzando por la dirección 0) se reservarán para un espacio de 4k de memoria ROM.
- A continuación de la ROM, se ubicarán 4k de memoria EEPROM.
- Por último, todo el espacio restante se rellenará con memoria SRAM.

Para ello, se dispone únicamente de los siguientes tipos de chips de memoria:

- Memoria ROM de 4 kilobytes.
- Memoria EEPROM de tamaño 2k X 8.
- Memoria SRAM con tecnología CMOS de tamaño 16k X 16.

Las entradas de selección de chip (**CS**) de todos los chips son activas a nivel bajo.

Se pide responder justificadamente a las siguientes cuestiones:

- a) Determinar cuántos chips de memoria de cada uno de los tipos disponibles serían necesarios para implementar este sistema de memoria.
- b) Dibujar el mapa de memoria, detallando las direcciones (en hexadecimal) de comienzo y fin para cada uno de los chips utilizados.
- c) Diseñar un circuito de decodificación utilizando un único **decodificador con salidas activas a nivel bajo** y la lógica adicional necesaria. Indique qué señales se conectan en las entradas y salidas del decodificador.
- d) Para realizar el diseño, ¿hay algún chip para el cual no se hayan utilizado todas las líneas de direcciones? En caso afirmativo, ¿cuántas líneas y cuánta capacidad de memoria ha quedado sin utilizar de este chip?

Memoria 1

- a) Determinar cuántos chips de memoria de cada uno de los tipos disponibles serían necesarios para implementar este sistema de memoria.

(0'5 PUNTOS)

- **ROM:** al ser chips de 4 kilobytes, sería 4K X 8. Para tener 16 bits de datos necesitamos **2 chips**.
- **EEPROM:** al ser chips de 2K necesitamos duplicar para cubrir 4K. Además, al ser x 8, necesitamos duplicar de nuevo para cubrir 16 bits de datos. En total, necesitamos **4 chips**.
- **SRAM:** necesitamos cubrir 8K X 16 y cada chip dispone de 16K X 16. Por tanto, basta (y sobra) con **1 chip**.

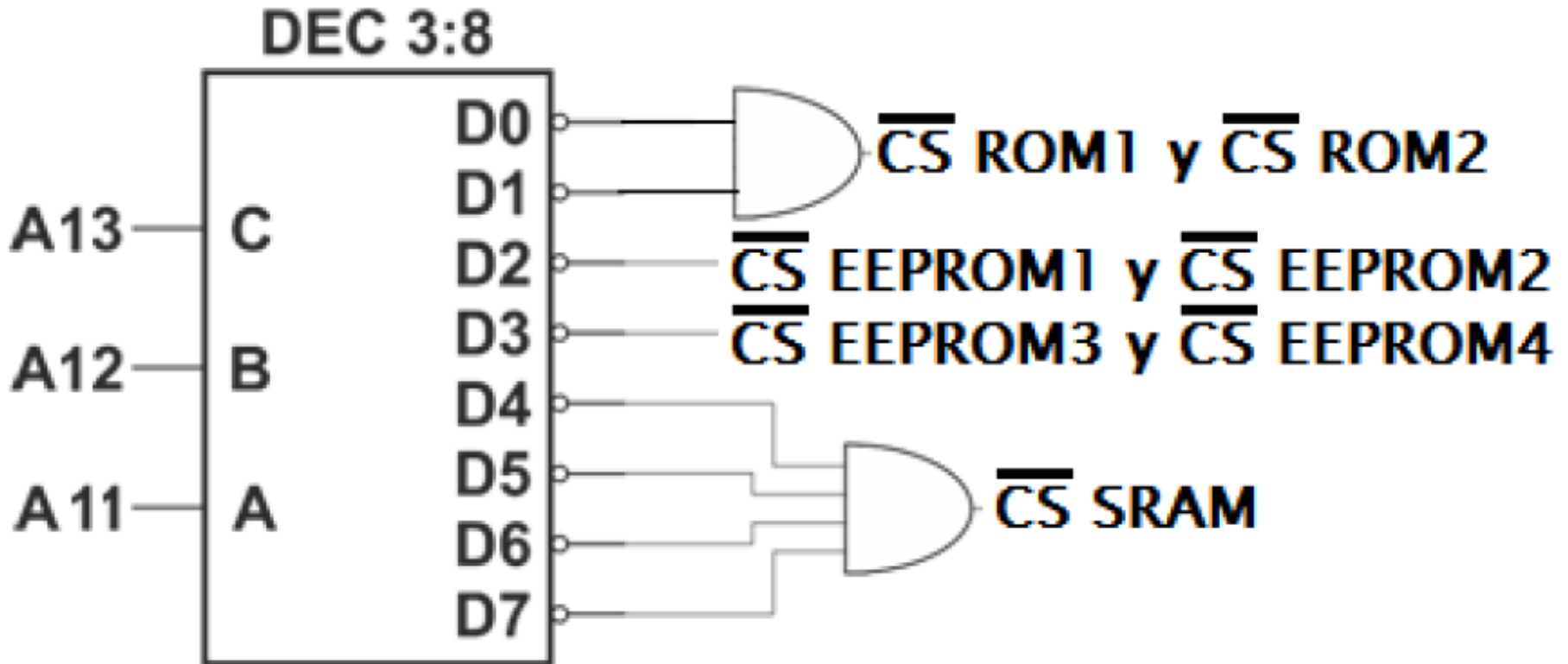
Memoria 1

(0'75 PUNTOS)

0x0000	ROM 1	ROM 2
0x0FFF		
0x1000	EEPROM 1	EEPROM 2
0x17FF		
0x1800	EEPROM 3	EEPROM 4
0x1FFF		
0x2000	SRAM	
0x3FFF		

Memoria 1

(0'75 PUNTOS)



Memoria 1

(0'5 PUNTOS)

El chip de SRAM es de 16K X 16. Por tanto, dispone de 14 bits de direcciones. Como sólo aprovechamos 8K, quedará **una de las líneas sin utilizar (A_{13})**.

La cantidad de memoria sin utilizar de este chip es 8K X 16.

Memoria 2

PROBLEMA 33

Para el diseño de un controlador industrial se necesita construir un bloque de memoria de 4 K x 8 bits, requiriendo que la mitad inferior esté ocupada por memoria ROM para contener el programa de control, y el resto por memoria RAM para ser utilizada como zona de datos.

Para ello se dispone de chips ROM de 2 K x 4 bits y RAM de 1 K x 8 bits.

Cada chip ROM dispone de bus de datos, bus de direcciones, \overline{OE} y \overline{CS}

Cada chip RAM dispone de bus de datos, bus de direcciones, \overline{OE} , \overline{CS} y R/\overline{W}

Se pide:

- Indique cuántos chips de memoria de cada clase son necesarios y dibuje el mapa de memoria del esquema resultante.
Para cada chip deben indicarse claramente las direcciones de memoria inicial y final, y las líneas de datos asignadas.
- Dibuje un esquema de interconexiones entre todos los elementos necesarios para implementar el bloque de memoria.
Debe indicar y etiquetar las líneas de datos, direcciones y control, tanto externas como internas.

Suponga que todas las funciones de decodificación internas están agrupadas en un único bloque decodificador que no debe detallar en este momento, sino en el apartado siguiente.

Memoria 2

SOLUCIÓN

a) La memoria total es de 4Kx8.

El bus de direcciones direcciona $4K = 4 \cdot 2^{10} = 4096$ palabras, por lo que requiere 12 líneas (A0:A11).

El bus de datos es de 8 líneas.

La mitad inferior tiene un tamaño 2Kx8, por lo que necesitamos 2 chips ROM de 2Kx4.

El bus de direcciones es compartido por ambas ROM, y direcciona $2K = 2 \cdot 2^{10} = 2048$ palabras, por lo que requiere 11 líneas (A0:A10). Se mapeará desde la posición 0 a 2047.

Cada ROM gestiona sólo 4 bits del bus de datos, por lo que una ROM se conectará a las líneas D3:D0 y la otra ROM a las líneas D7:D4.

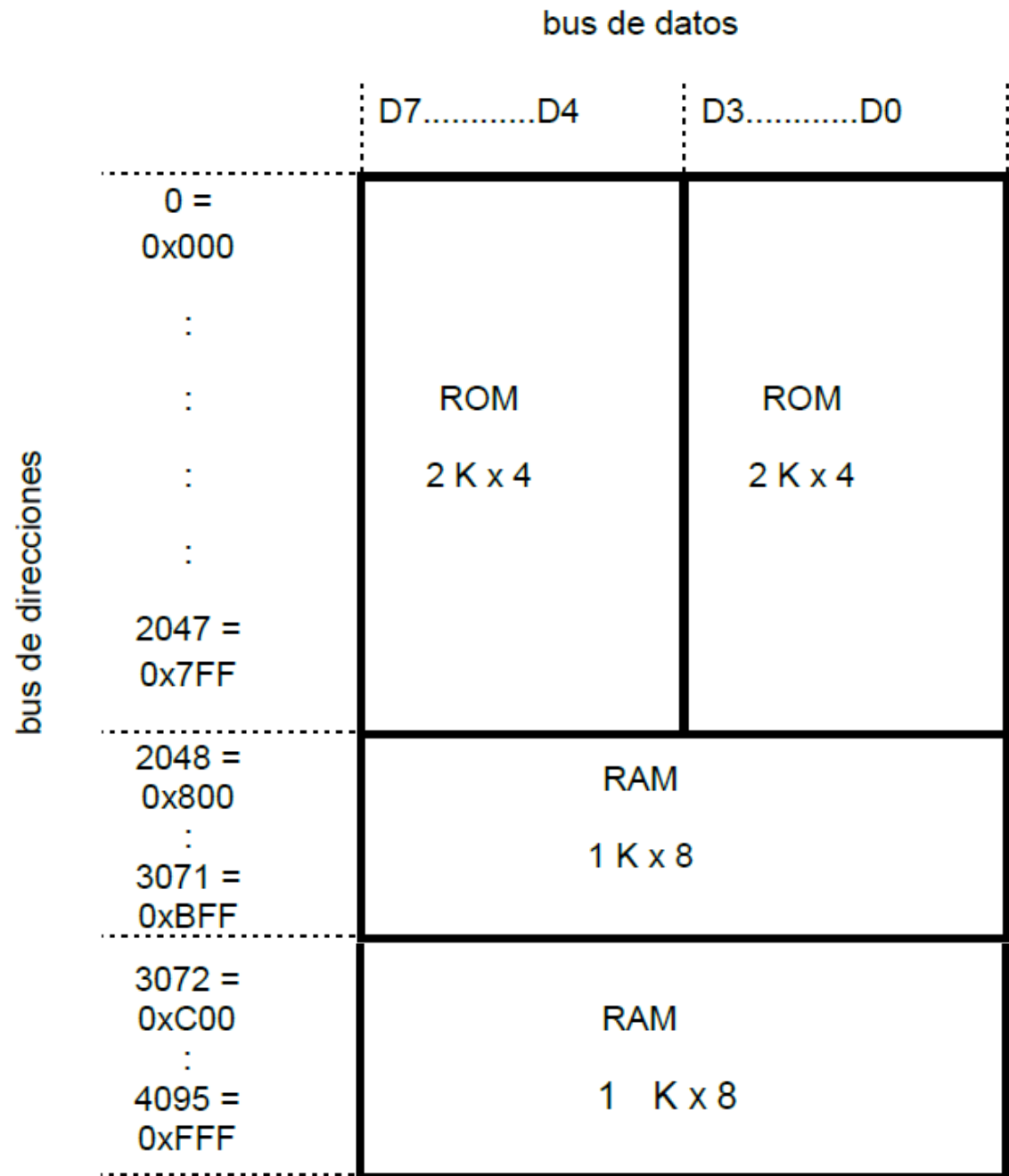
La mitad superior tiene un tamaño 2Kx8, por lo que necesitamos 2 chips RAM de 1Kx8.

Cada RAM ocupa una zona de memoria diferente de $1K = 2^{10} = 1024$ palabras, por lo que se necesitan 10 líneas (A0:A9) para direccionar cada una. Se mapearán en zonas contiguas, desde la posición 2048 a la 3071 la primera RAM y desde la posición 3072 a 4095 la segunda RAM.

Ambas RAM utilizan los 8 bits del bus de datos, conectándose ambas a las líneas D7:D0.

El mapa de memoria queda:

Memoria 2



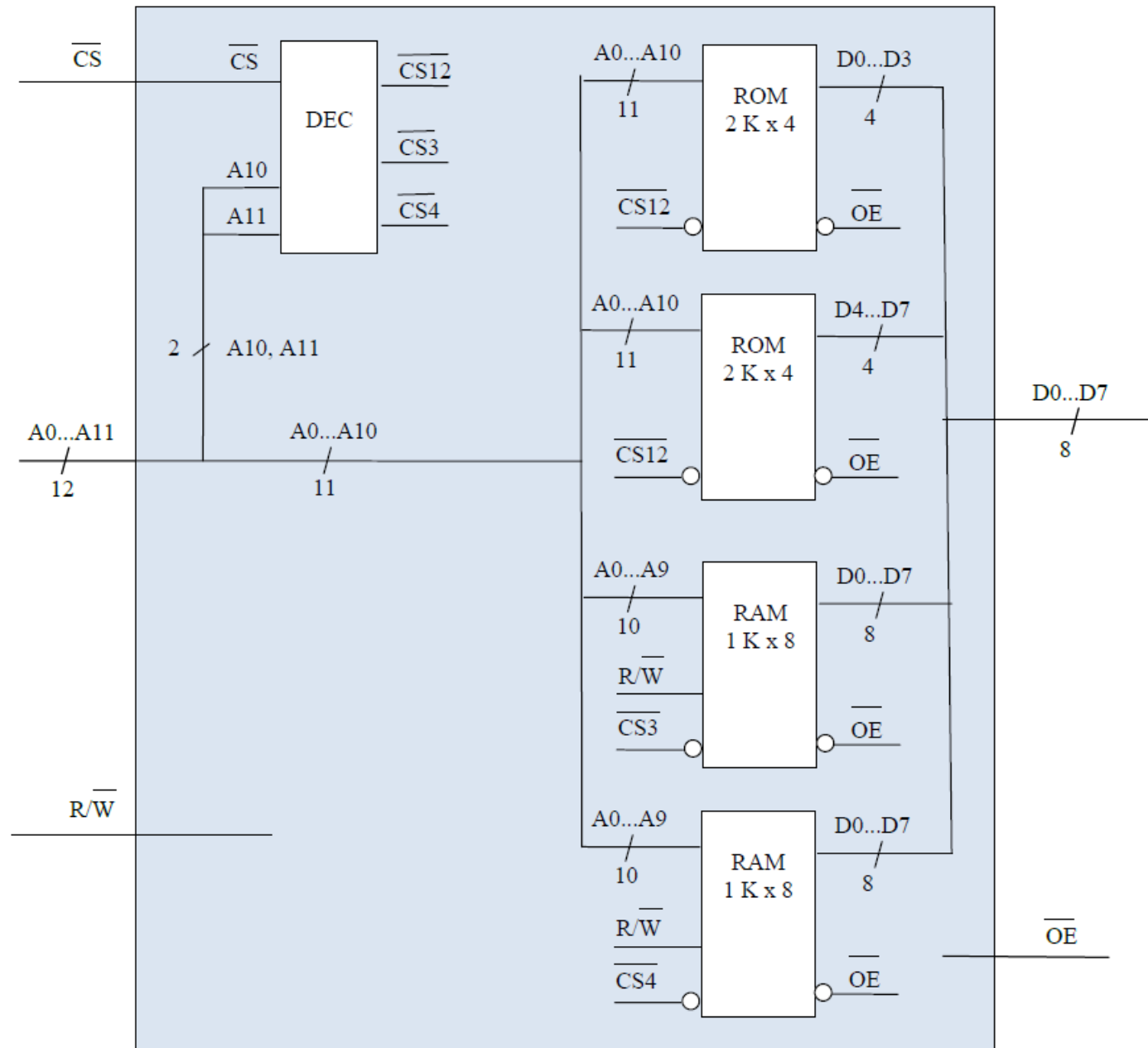
Memoria 2

b) El decodificador necesita distinguir bloques de 1 K (A0:A9), por lo que tiene tres entradas, las dos sobrantes del bus de direcciones y la señal "chip select": A10, A11 y \overline{CS} .

Además, los dos primeros bloques de 1 K están agrupados, por lo que generaremos tres señales de selección, $\overline{CS12}$ para el primer bloque de 2 K (común a los dos chips ROM), $\overline{CS3}$ para el siguiente bloque de 1 K (primer chip RAM) y $\overline{CS4}$ para el último bloque de 1 K (segundo chip RAM).

Las señales \overline{OE} y R/\overline{W} se conectan directamente a los chips de memoria.

Memoria 2



Conversor D/A

El sistema de control de posición de una máquina herramienta está formado por un microprocesador, que calcula el valor digital de la consigna a aplicar, y un convertidor digital-analógico (DAC) que proporciona una salida en tensión de 0 a 5V en función de la salida digital del microprocesador. La salida del DAC permitirá desplazar la herramienta una longitud máxima de 0,1m a partir de un origen de referencia.

Calcular:

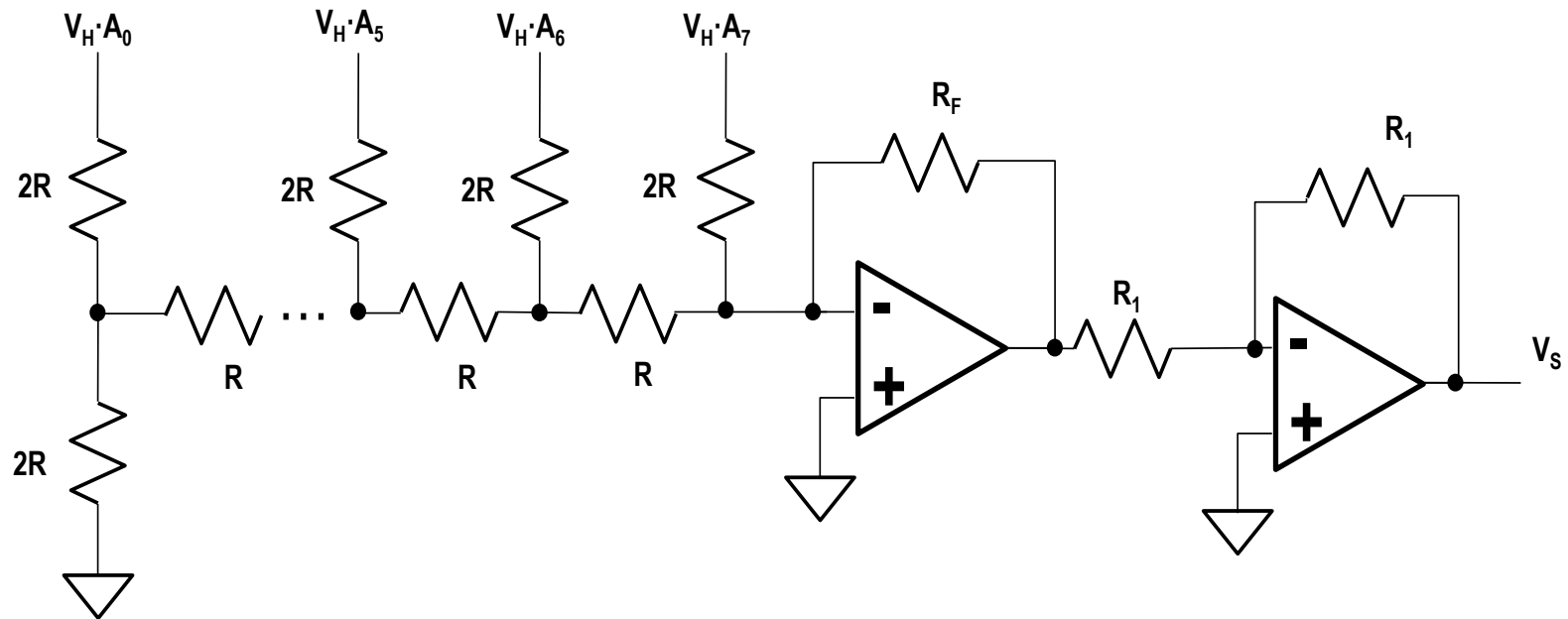
- El número de bits necesarios para poder controlar la posición de la máquina en pasos de 0,4 mm.
- ¿Es posible posicionar la máquina a 55,5mm del origen de referencia de manera exacta? Razone la respuesta.
- ¿Qué consigna (en decimal) deberá aplicar el microprocesador para llevar la herramienta a la posición más próxima a la indicada en el apartado b) con el menor error posible?
- El DAC utilizado es del tipo R-2R sin tensión de referencia, como el mostrado en la Figura P3. Sabiendo que los niveles de tensión proporcionados por el microprocesador son de 3,3V para el “1” lógico y 0V para el “0” lógico, calcular el valor de la resistencia R de la red R-2R.

Conversor D/A

Datos para el apartado d):

$$R_F = 15,2\text{k}\Omega$$

$$V_S = \frac{R_F \cdot V_H}{R} \cdot \left(\frac{A_0}{2^8} + \dots + \frac{A_5}{8} + \frac{A_6}{4} + \frac{A_7}{2} \right)$$



Conversor D/A

SOLUCIÓN

a)

0,4mm es la resolución pedida.

$$resolucion = LSB = \frac{FS}{2^N}$$

Dónde:

- LSB = 0,4mm
- FS = 0,1m (desplazamiento máximo)
- N = Número de bits pedido

Despejando:

- **N = 7,96 => 8 bits**

Conversor D/A

b)

Con los 8 bits obtenidos en el apartado anterior, la resolución real del convertidor será:

$$resolucion = LSB = \frac{FS}{2^N} = \frac{100 \text{ mm}}{2^8} = 0,39 \text{ mm}$$

La consigna necesaria para el generar el desplazamiento indicado es:

$$consigna \text{ (decimal)} = \frac{posicion \text{ demandada}}{resolucion} = \frac{55,5 \text{ mm}}{0,39 \text{ mm}} = 142,3$$

Puesto que la consigna solo puede ser un número entero (palabra digital desde 0 a 255) y el resultado obtenido contiene decimales, **NO se puede posicionar la máquina de manera exacta en la posición indicada**

Conversor D/A

c)

Los enteros anterior y posterior al resultado obtenido en el apartado anterior son 142 y 143. La posición a la que se mueve la máquina para cada una de esas consignas es:

- Pos (142) = $142 * 0,39\text{mm} = 55,38 \text{ mm}$ (error = -0,12 mm)
- Pos (143) = $143 * 0,39 \text{ mm} = 55,77 \text{ mm}$ (error = 0,27 mm)

Por tanto el menor error se comete con la consigna **142**

d)

Sustituyendo los valores dados por el enunciado:

$$5V = \frac{15,2k\Omega \cdot 3,3V}{R} \cdot \frac{255}{256} \quad (0,4 \text{ puntos})$$

Despejando:

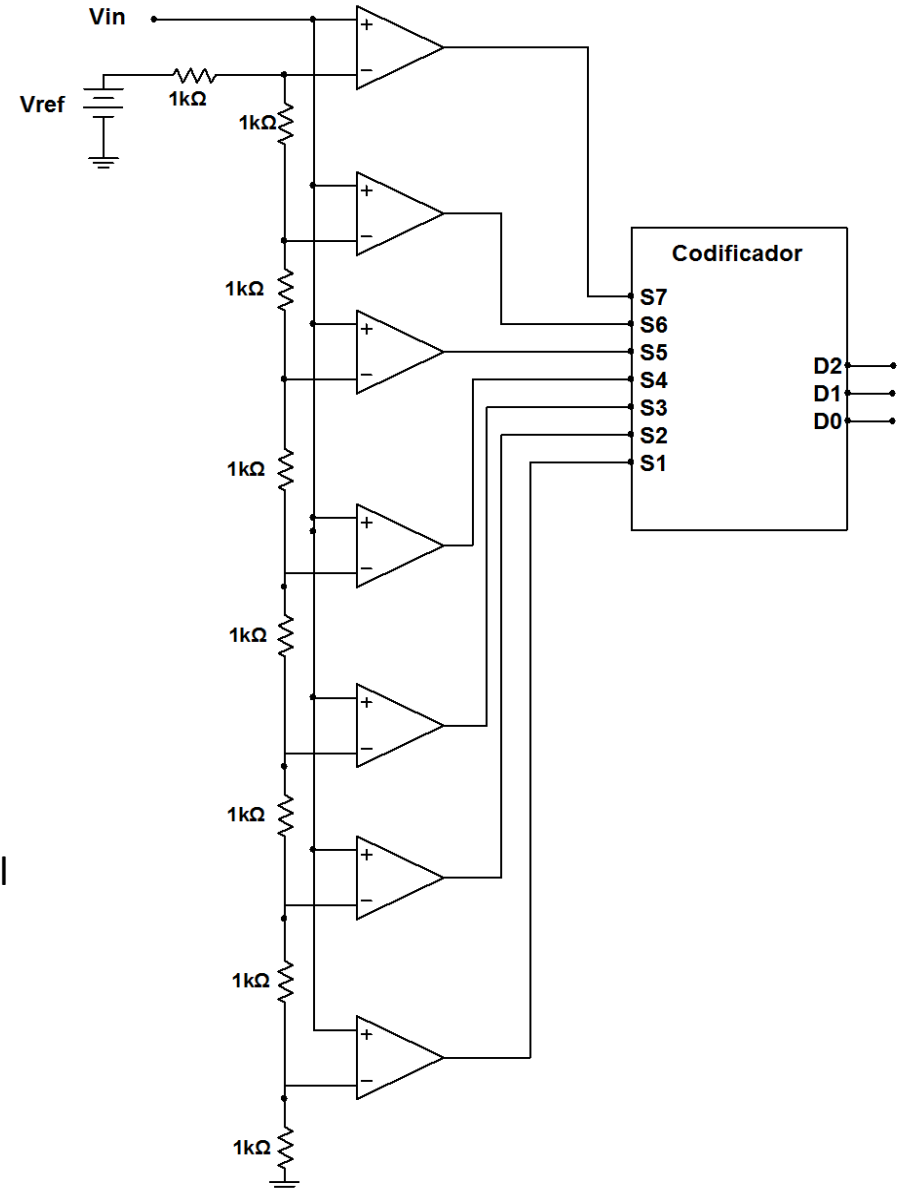
- $R = 10 \text{ k}\Omega$ (0,1 puntos)

Conversor A/D

En la figura se muestra el circuito de un conversor analógico digital en el que la tensión de entrada al mismo se ha identificado como V_{in} y la tensión de referencia como V_{ref} .

Se pide:

- Calcule la tensión de referencia V_{ref} necesaria para que el paso de cuantificación del conversor sea de 0,5 V. Calcule la tensión umbral de comparación resultante que llegaría a cada amplificador operacional.
- Sabiendo que el codificador es un circuito digital combinacional, ¿qué alimentación deberían utilizar los amplificadores operacionales? Discuta su respuesta.



Conversor D/A

c) Complete la tabla de verdad que describe el comportamiento del circuito codificador. Para ello tenga en cuenta que D0 es la salida menos significativa.

S7	S6	S5	S4	S3	S2	S1	D2	D1	D0

d) Calcule el código de salida correspondiente a las siguientes tensiones de entrada:

V _{in}	D2	D1	D0
0,1 V			
6,4 V			
3,2 V			
1,6 V			

Conversor D/A

SOLUCIÓN

a) *Calcule la tensión de referencia V_{ref} necesaria para que el paso de cuantificación del conversor sea de 0,5 V. Calcule la tensión umbral de comparación resultante que llegaría a cada amplificador operacional.*

$$\text{Paso de cuantificación} = V_{ref}/8 = 0.5 \text{ V} \rightarrow V_{ref} = 4 \text{ V}$$

Las tensiones que llegarían a cada comparador, en orden creciente, serían: 0.5, 1, 1.5, 2, 2.5, 3 y 3.5 V.

b) *Sabiendo que el codificador es un circuito digital combinacional, ¿qué alimentación deberían utilizar los amplificadores operacionales?, discuta su respuesta.*

$$V_- = 0 \text{ V y } V_+ = 5 \text{ V}$$

Conversor D/A

c) Complete la tabla de verdad que describe el comportamiento del circuito codificador. Para ello tenga en cuenta que D0 es la salida menos significativa.

S7	S6	S5	S4	S3	S2	S1	D2	D1	D0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

d) Calcule el código de salida correspondiente a las siguientes tensiones de entrada:

Vin	D2	D1	D0
0,1 V	0	0	0
6,4 V	1	1	1
3,2 V	1	1	0
1,6 V	0	1	1